

“MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE”

The following is English translation of an extract from the above-identified document relevant to the present application.

As shown in Fig. 5, an Al-Cu film 9 and a TiN/Ti film 8 of the parts other than the inside of a connection hole 5 and wiring trench 6 is removed by sequentially polishing by a CMP method for example. One of the conditions of polishing by this CMP method is that with slurry including formed silica on the basis of ammoniumhydroxide ($\text{NH}_4 \text{ OH}$), the polishing pressure is set at 100 g/cm^2 , the throughput is set at 100 cc/min , the temperature is set at $25 \sim 30 \text{ }^\circ\text{C}$, and the revolution speed is set at 30 rpm for the surface plate and at 30 rpm for the polishing head.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-186390

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl.⁶

H01L 21/768

21/3205

識別記号

FI

H01L 21/90

21/88

A

K

審査請求 未請求 請求項の数 9 OL (全7頁)

(21)出願番号 特願平9-357210

(22)出願日 平成9年(1997)12月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 藤井 美香

東京都品川区北品川6丁目7番35号 ソニー株式会社内

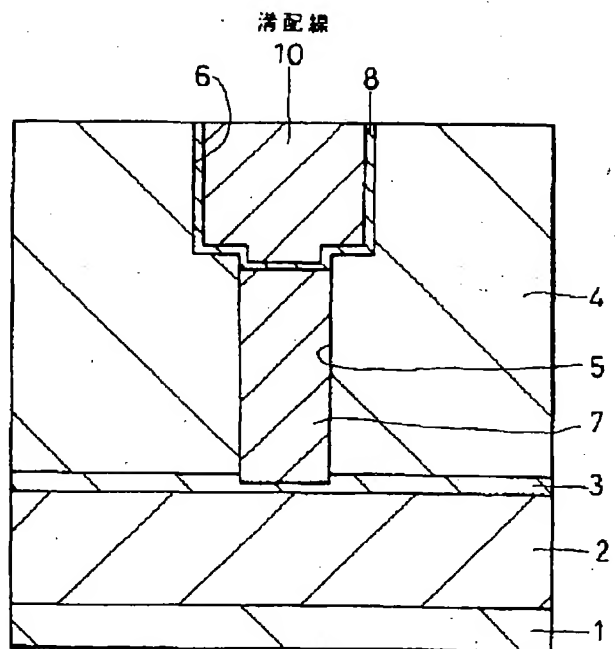
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 接続孔と配線溝とに導電材料を埋め込む場合の埋め込み特性を向上させることができ、接続孔の内部におけるエレクトロマイグレーション耐性を向上させることができ、配線信頼性を向上させることができる半導体装置の製造方法を提供する。

【解決手段】 あらかじめ素子が形成されたSi基板1上に下層配線層2およびTiN膜3を形成し、下層配線層2およびTiN膜3を覆うようにして層間絶縁膜4を形成する。層間絶縁膜4に接続孔5および配線溝6を形成した後、選択CVD法により、接続孔5の内部に配線溝6の底面より低い高さまでAlを埋め込み、接続孔プラグ7を形成する。全面にバリア層としてのTiN/Ti膜8を形成し、TiN/Ti膜8上にAl-Cu膜を形成した後、Al-Cu膜をリフローさせて接続孔5の上部および配線溝6に埋め込む。CMP法により接続孔5の上部および配線溝6の内部以外の部分のAl-Cu膜を研磨除去することによって、溝配線10を形成する。以上の工程を必要なだけ繰り返すことによって、所望の半導体装置を製造する。



【特許請求の範囲】

【請求項 1】 接続孔および配線溝を有し、上記接続孔および上記配線溝が導電材料で埋め込まれた半導体装置の製造方法において、

基板上に絶縁膜を形成する工程と、

上記絶縁膜に上記接続孔および上記配線溝を形成する工程と、

上記接続孔を上記配線溝の底面より低い高さまで第 1 の導電材料で埋め込む工程と、

少なくとも上記第 1 の導電材料の露出している面を覆うようにして導電材料からなるバリア層を形成する工程と、

上記接続孔の上部および上記配線溝を第 2 の導電材料で埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 上記バリア層が、W、Ti、Ta、これらの合金、WN、TiN、Ta₂N、TaSiN または WSiN からなる単層または積層膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記接続孔への上記第 1 の導電材料の埋め込みを、選択成長法により行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 上記接続孔への上記第 1 の導電材料の埋め込みを、選択化学気相成長法により行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 上記接続孔の上部および上記配線溝への上記第 2 の導電材料の埋め込みを、リフロー法、高圧リフロー法、化学気相成長法、めっき法、または高温スパッタリング法により行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 上記第 1 の導電材料が、Al、Cu、Ag、Au、Zr、W またはこれらの合金であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 上記第 2 の導電材料が、Al、Cu、Ag、Au、Zr、W またはこれらの合金であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 上記第 1 の導電材料が Al であり、上記第 2 の導電材料が Al 合金であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 上記第 1 の導電材料が Al であり、上記第 2 の導電材料が Cu または Cu 合金であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、ダマシン(Damascene)構造の配線を有する半導体装置の製造に適用して好適なものである。

【0002】

【従来の技術】LSI の高集積化に伴い、配線の多層化

や内部配線の微細化が進んでいる。その中で、ダマシン技術は、層間絶縁膜の平坦化や微細な配線の形成が容易であり、反応性イオンエッチング(RIE)法によるエッチングが困難であるとされている銅(Cu)などの導電材料からなる配線の形成に適用することができる。さらに、接続孔と配線とを同時に形成するデュアルダマシン(Dual Damascene)技術は、接続孔と配線との自己整合(セルフアライン)が可能となるため、注目されている。

【0003】ここで、このデュアルダマシン技術の一例を図 10～図 12 を参照して説明する。すなわち、まず、図 10 に示すように、あらかじめトランジスタなどの素子や素子分離領域(図示せず)が形成された半導体基板 101 上に SiO₂ 膜などの層間絶縁膜 102 を形成し、この層間絶縁膜 102 に接続孔 103 および配線パターン 104 の配線溝 104 を順次形成する。次に、図 11 に示すように、アルミニウム(Al)、Al-Cu などの Al 合金または Cu などの配線材料を成膜し、配線溝 104 および接続孔 103 の内部に金属膜 105 を埋め込む。その後、図 12 に示すように、配線溝 104 および接続孔 103 の内部以外の部分の金属膜 105 を化学的機械研磨(CMP)法などによって除去することにより、配線溝 104 の部分の溝配線 106 と、接続孔 103 の部分の接続孔プラグ 107 とを同時に形成する。

【0004】以上のようなデュアルダマシン技術においては、配線溝 104 および接続孔 103 の内部に金属膜 105 を埋め込む技術として、化学気相成長(CVD)法、リフロー法、高温スパッタリング法、あるいは高圧リフロー法などがある。

【0005】

【発明が解決しようとする課題】しかしながら、従来、高アスペクト比の接続孔 103 の内部および配線溝 104 への金属膜 105 の埋め込みを、その内部にボイド(空孔)を残すことなく行うのは困難であった。

【0006】また、配線の微細化に伴う一般的な問題として、電流密度の増加によるエレクトロマイグレーション(EM)耐性の劣化という問題がある。ここで、エレクトロマイグレーションとは、Al 原子などの配線を構成する導電材料の原子が電子の流れにしたがって移動する現象をいう。この現象について以下に詳細に説明する。

【0007】すなわち、図 13 に示すように、Si 基板 110 上に Al などからなる下層配線 111 と TiN 膜などのバリアメタル 112 とが順次設けられており、その上に層間絶縁膜 113 が設けられている。この層間絶縁膜 113 には、ダマシン技術によって、接続孔 114 と配線パターン 115 の配線溝 115 とが形成されており、これらの接続孔 114 および配線溝 115 の内部は、Al などの導電材料で埋め込まれている。配線溝 115 に埋め込まれた導電材料により上層溝配線 116 が構成され

ており、接続孔 1 1 5 に埋め込まれた導電材料により接続孔プラグ 1 1 7 が構成されている。

【0008】さて、これらの下層配線 1 1 1 と上層溝配線 1 1 6 との間に接続孔プラグ 1 1 7 を通じて電流が流されると、それらの内部に電子の流れが発生する。そして、この電子の流れにしたがって、接続孔プラグ 1 1 7 を構成する Al などの導電材料の原子 1 1 8、1 1 9 が移動する。これらの導電材料の原子 1 1 8、1 1 9 などの移動が大量に生じると、接続孔 1 1 4 の内部で接続孔プラグ 1 1 7 にボイド 1 2 0 が形成される。以上のようにして、エレクトロマイグレーションが進行する。

【0009】上述のようなデュアルダマシン技術によって形成された溝配線に限らず、接続孔に埋め込まれた接続孔プラグと配線とが Al などの導電材料から連続的に形成されている場合においても、エレクトロマイグレーションにより接続孔の内部に埋め込まれた導電材料の原子がその上層の配線にまで移動してしまう。そのため、微細な接続孔の内部でボイドが形成されやすくなり、配線信頼性の低下を招いてしまう。

【0010】したがって、この発明の目的は、溝配線を含む多層配線の形成において、接続孔と配線溝とに導電材料を埋め込む場合、その埋め込み特性を向上させることができるとともに、接続孔の内部から溝配線への導電材料の原子の移動を防止することによって、多層配線のエレクトロマイグレーション耐性を向上させることができ、配線信頼性を向上させることができる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、この発明は、接続孔および配線溝を有し、接続孔および配線溝が導電材料で埋め込まれた半導体装置の製造方法において、基板上に絶縁膜を形成する工程と、絶縁膜に接続孔および配線溝を形成する工程と、接続孔を配線溝の底面より低い高さまで第 1 の導電材料で埋め込む工程と、少なくとも第 1 の導電材料の露出している面を覆うようにして導電材料からなるバリア層を形成する工程と、接続孔の上部および配線溝を第 2 の導電材料で埋め込む工程とを有することを特徴とするものである。

【0012】ここで、「バリア層」とは、第 1 の導電材料の原子の移動を阻止するためのものである。

【0013】この発明において、バリア層は、W、Ti、Ta、これらの合金、WN、TiN、Ta₂N、TaSiN、WSiN などからなる単層または積層膜であり、典型的には、TiN/Ti 膜である。

【0014】この発明において、典型的には、接続孔への第 1 の導電材料の埋め込みを選択成長法により行い、好適には、選択 CVD 法により行う。

【0015】この発明において、典型的には、接続孔の上部および配線溝への第 2 の導電材料の埋め込みを、リフロー法、高圧リフロー法、CVD 法、めっき法、また

は高温スパッタリング法により行う。

【0016】この発明において、典型的には、第 1 の導電材料および第 2 の導電材料は、Al、Cu、Ag、Au、Zr、W、またはこれらの合金である。ここで、Al 合金としては、例えば、Al-Cu、Al-Si-Cu、Al-Ge などが挙げられ、Cu 合金としては、Cu-Zr などが挙げられる。

【0017】この発明において、典型的には、第 1 の導電材料を Al とし、第 2 の導電材料を Al 合金とする。また、この発明において、第 1 の導電材料を Al とし、第 2 の導電材料を Cu または Cu 合金（例えば、Cu-Zr など）としてもよい。

【0018】上述のように構成されたこの発明によれば、接続孔に溝配線の底面より低い高さまで第 1 の導電材料を埋め込み、少なくとも第 1 の導電材料の露出面を覆うようにしてバリア層を形成した後、接続孔の上部および配線溝に第 2 の導電材料を埋め込むようにしていることにより、溝配線の形成において、第 2 の導電材料を埋め込むべき部分の実効的なアスペクト比を低くすることができるので、接続孔および配線溝への第 2 の導電材料の埋め込みを、その内部にボイドを残すことなく容易に行うことができるとともに、接続孔の内部に埋め込まれた第 1 の導電材料の原子が第 2 の導電材料からなる溝配線に移動するのをバリア層によって防止することができるので、接続孔の内部におけるボイドの発生を抑制することができる。

【0019】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0020】まず、この発明の第 1 の実施形態による半導体装置の製造方法について説明する。図 1 から図 6 は、この第 1 の実施形態による半導体装置の製造方法を示す。

【0021】まず、図 1 に示すように、通常の LSI プロセスにより例えばトランジスタなどの素子や素子分離領域（図示せず）を形成した Si 基板 1 上に、例えば Al などからなる下層配線層 2 とバリアメタルとしての TiN 膜 3 とを順次形成する。次に、下層配線層 2 および TiN 膜 3 を覆うようにして、Si 基板 1 上の全面に例えば SiO₂ 膜などの層間絶縁膜 4 を形成する。次に、層間絶縁膜 4 上にリソグラフィ工程により接続孔の形成位置に開口を有するレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして例えば RIE 法により層間絶縁膜 4 をエッチングすることによって接続孔 5 を形成する。次に、レジストパターンを除去する。次に、層間絶縁膜 4 上に配線パターンのレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、RIE 法により層間絶縁膜 4 を

エッチングすることによって、配線溝6を形成する。ここで、接続孔5の径を例えば $0.30\mu\text{m}$ 、その深さを例えば $0.8\mu\text{m}$ とし、配線溝6の幅を例えば $0.35\mu\text{m}$ 、その深さを例えば $0.5\mu\text{m}$ とする。

【0022】次に、図2に示すように、接続孔5の底部のTiN膜3の表面および層間絶縁膜4の表面のクリーニング処理を行った後、例えば選択CVD法により、接続孔5の内部に選択的に配線溝6の底面より低い高さまでAlを埋め込むことによって接続孔プラグ7を形成する。ここで、クリーニング処理条件の一例を挙げると、10 クリーニングガスとして三塩化ホウ素(BCl_3)を用い、その流量を 100 sccm とし、クリーニング時間を90秒間、RFパワーを200W、基板温度を 20°C とする。また、この接続孔プラグ7の形成におけるCVD条件の一例を挙げると、反応ガスとして、DMAH ($\text{Al}(\text{CH}_3)_3$)、 H_2 、Dimethyl aluminum hydride)を用い、その流量を 0.11 g/min とし、圧力を 266 Pa 、基板加熱温度を 210°C とする。

【0023】次に、Si基板1をガス加熱装置(図示せず)内に搬入し、Si基板1の裏面を加熱することにより、プレヒート処理を行う。ここで、このプレヒート処理条件の一例を挙げると、加熱ガスとしてArガスを用い、加熱時間を1分間、裏面のガス圧力を 1000 Pa とし、加熱温度を 500°C とする。

【0024】次に、図3に示すように、例えばDCマグネトロンスパッタリング法により、全面にTi膜およびTiN膜を順次形成することにより、下地バリア層としてのTiN/Ti膜8を形成する。これらのTi膜およびTiN膜の膜厚は、それぞれ例えば 20 nm および 50 nm である。ここで、TiN/Ti膜8の形成におけるスパッタ条件の一例を挙げると、Ti膜の形成においては、プロセスガスとしてArガスを用い、その流量を 100 sccm とし、DCパワーを 6 kW 、圧力を 0.4 Pa 、基板加熱温度を 200°C とし、TiN膜の形成においては、プロセスガスとしてArと N_2 との混合ガスを用い、それらの流量をそれぞれ 20 sccm 、 70 sccm とし、DCパワーを 12 kW 、圧力を 0.4 Pa 、基板加熱温度を 200°C とする。

【0025】次に、例えばDCマグネトロンスパッタリング法により、TiN/Ti膜8上に例えば、AlにCuが少量添加されたAl-Cu膜9を形成する。このAl-Cu膜9の膜厚は例えば $1.5\mu\text{m}$ である。ここで、このAl-Cu膜9のスパッタ条件の一例を挙げると、プロセスガスとしてArガスを用い、その流量を 100 sccm とし、DCパワーを 15 kW 、圧力を 0.4 Pa 、基板加熱温度を 200°C とする。

【0026】次に、図4に示すように、Si基板1を、リフロー装置(図示せず)内に真空搬送した後、例えばArガスによって、このSi基板1の裏面に例えば 1000 Pa の圧力を加えつつ例えば 500°C の温度に加熱

することによって、Al-Cu膜9を例えば1分間リフローさせる。これにより、接続孔5の上部および配線溝6にAl-Cu膜9が埋め込まれる。

【0027】次に、図5に示すように、例えばCMP法により接続孔5および配線溝6の内部以外の部分のAl-Cu膜9およびTiN/Ti膜8を順次研磨することにより除去する。ここで、このCMP法における研磨の条件の一例を挙げると、水酸化アンモニウム(NH_4OH)ベースでフォームドシリカ含有のスラリーを用いて、研磨圧力を 100 g/cm^2 、流量を 100 cc/min 、温度を $25\sim 30^\circ\text{C}$ とし、回転数については定盤を 30 rpm 、研磨ヘッドを 30 rpm とする。

【0028】以上の工程を経て、層間絶縁膜4の配線溝6にTiN/Ti膜8を下地バリア層とした溝配線10が形成される。

【0029】その後、上述と同様にして、図6に示すように、層間絶縁膜4上に層間絶縁膜11を形成する工程、層間絶縁膜11に接続孔12および配線溝13を形成する工程、接続孔プラグ14の形成の工程、下地バリア層としてのTiN/Ti膜15の形成の工程、配線溝13にAl合金膜を埋め込む工程、およびそのAl合金膜の不要部分を除去する工程を経て、溝配線16を形成する。以上により、所望の多層溝配線を有する半導体装置が製造される。

【0030】以上説明したように、この第1の実施形態によれば、接続孔5に配線溝6の底面より低い高さまでAlからなる接続孔プラグ7を埋め込んだ後、接続孔5の上部と配線溝6とにAl-Cu膜9を埋め込むようにしていることにより、Al-Cu膜9を埋め込むべき部分の実効的なアスペクト比が低い状態から、Al-Cu膜9を埋め込むことができるので、接続孔5の上部および配線溝6へのAl-Cu膜9の埋め込みをその内部にボイドを残すことなく行うことができ、Al-Cu膜9の接続孔5の上部および配線溝6への埋め込み特性を向上させることができる。また、接続孔5に埋め込まれた接続孔プラグ7の上面を覆うようにして、下地バリア層としてのTiN/Ti膜8を形成し、このTiN/Ti膜8上に溝配線10を形成するようにしていることにより、接続孔プラグ7と溝配線10との間に電流を流したときに、接続孔プラグ7のAl原子の溝配線10への移動をTiN/Ti膜8によって防ぐことができるので、接続孔プラグ7の内部にボイドが発生するのが抑制され、接続孔プラグ7におけるエレクトロマイグレーション耐性を向上させることができる。これによって、配線信頼性を向上させることができ、高信頼性の多層配線を有する半導体装置を得ることができる。

【0031】次に、この発明の第2の実施形態による半導体装置の製造方法について説明する。

【0032】この第2の実施形態においては、Al-Cu膜9の接続孔5の上部および配線溝6への埋め込みを

高压リフロー法により行うこと以外のことは第1の実施形態と同様である。ここで、高压リフロー法によるAl-Cu膜9のリフロー条件の一例を挙げると、プロセスガスとしてArガスをを用い、圧力を70MPa、リフロー時間を1分間、基板加熱温度を450℃とする。

【0033】この第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0034】次に、この発明の第3の実施形態による半導体装置の製造方法について説明する。

【0035】この第3の実施形態においては、まず、第1の実施形態と同様にして、層間絶縁膜4に形成された接続孔5の内部に配線溝6の底面より低い高さまで接続孔プラグ7を埋め込んだ後、この接続孔プラグ7の上面を含んだ全面にTiN/Ti膜8を形成する工程まで行う。

【0036】次に、図7に示すように、例えばDCマグネトロンスパッタリング法により、TiN/Ti膜8上にCu膜21を形成する。ここで、このCu膜21のスパッタ条件の一例を挙げると、プロセスガスとしてArガスをを用い、その流量を100sccmとし、DCパワーを15kW、圧力を0.4Pa、基板加熱温度を150℃とする。

【0037】次に、Si基板1を、リフロー装置の真空チャンバー（図示せず）内に真空搬送した後、Si基板1を例えば400℃の温度で加熱し、Cu膜21を例えば10⁻¹Pa以下の圧力で、例えば5分間リフローさせる。これによって、図8に示すように、Cuが接続孔5の上部および配線溝6に埋め込まれる。

【0038】次に、図9に示すように、例えばCMP法により接続孔5および配線溝6の内部以外の部分のCu膜21およびTiN/Ti膜8を順次研磨することにより除去する。ここで、このCMP法における研磨の条件の一例を挙げると、過酸化水素（H₂O₂）ベースでアルミナ含有のスラリーを用いて、研磨圧力を100g/cm²、流量を100cc/min、温度を25~30℃とし、回転数については定盤を30rpm、研磨ヘッドを30rpmとする。

【0039】以上の工程を経て、層間絶縁膜4の配線溝6にTiN/Ti膜8を下地バリア層としたCuからなる溝配線22が形成される。

【0040】その後、層間絶縁膜4上に層間絶縁膜（図示せず）を形成し、上述の溝配線22の形成方法と同様にして、接続孔および配線溝の形成の工程からCMP法によるCu膜の研磨の工程までを必要な回数だけ順次繰り返して行うことにより、Cuからなる多層溝配線を形成する。以上により、所望の多層溝配線を有する半導体装置が製造される。

【0041】以上説明したように、この第3の実施形態によれば、接続孔5の内部に配線溝6の底面より低い高さまで接続孔プラグ7を埋め込み、この接続孔プラグ7

の上面を覆うようにして、TiN/Ti膜8を形成していることにより、第1の実施形態と同様の効果を得ることができるとともに、溝配線22の材料として、エレクトロマイグレーション耐性により優れたCuを用いていることにより、よりエレクトロマイグレーション耐性に優れた溝配線を有する半導体装置を得ることができる。

【0042】次に、この発明の第4の実施形態による半導体装置の製造方法について説明する。この第4の実施形態においては、CVD法により、Cu膜21を形成して接続孔5の上部および配線溝6に埋め込むこと以外のことは第3の実施形態と同様である。ここで、CVD条件の一例を挙げると、反応ガスとして、ガス化させたCu(hfac)(tmvs) (hexafluoro-acetyl-acetonate copper-I trimethyl-vinyl-silance) を用い、その流量を0.68g/minとし、キャリアガスとしてH₂ガスをを用い、その流量を1000sccmとし、圧力を0.3Pa、基板加熱温度を170℃とする。

【0043】この第4の実施形態によれば、第3の実施形態と同様の効果を得ることができる。

【0044】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0045】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。

【0046】また、例えば上述の第1から第4の実施形態においては、層間絶縁膜4に接続孔5を形成した後に配線溝6を形成するようにしているが、配線溝6を形成した後に接続孔5を形成するようにしてもよい。

【0047】

【発明の効果】以上説明したように、この発明によれば、接続孔を配線溝の底面より低い高さまで第1の導電材料で埋め込み、少なくともこの第1の導電材料の露出している面を覆うようにしてバリア層を形成した後、接続孔の上部および配線溝を第2の導電材料で埋め込むようにしていることにより、溝配線からなる多層配線の形成において、接続孔および配線溝への導電材料の埋め込み特性を向上させることができるとともに、接続孔の内部から溝配線への第1の導電材料の原子の移動を防止し、接続孔の内部におけるボイドの発生を抑制することができることによって、多層溝配線のエレクトロマイグレーション耐性を向上させることができ、配線信頼性に優れた多層配線を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 3】この発明の第 1 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 4】この発明の第 1 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 5】この発明の第 1 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 6】この発明の第 1 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 7】この発明の第 3 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 8】この発明の第 3 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 9】この発明の第 3 の実施形態による半導体装置の製造方法を説明するための断面図である。

【図 10】従来のダマシン技術における問題点を説明するための断面図である。

【図 11】従来のダマシン技術における問題点を説明するための断面図である。

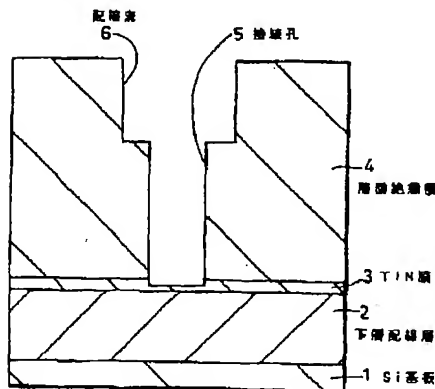
【図 12】従来のダマシン技術における問題点を説明するための断面図である。

【図 13】エレクトロマイグレーションを説明するための断面図である。

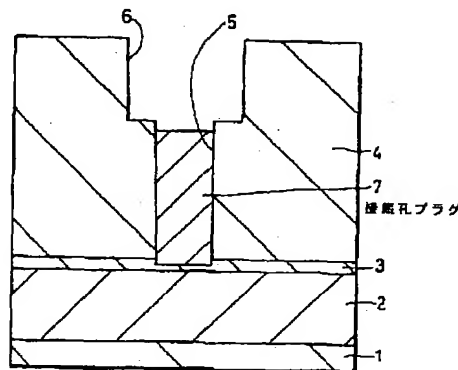
【符号の説明】

10 1・・・Si基板、2・・・下層配線層、4・・・層間絶縁膜、5・・・接続孔、6・・・配線溝、7・・・接続孔プラグ、8・・・TiN/Ti膜、9・・・Al-Cu膜、10、22・・・溝配線

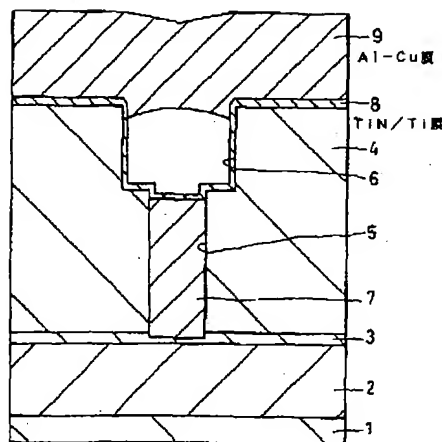
【図 1】



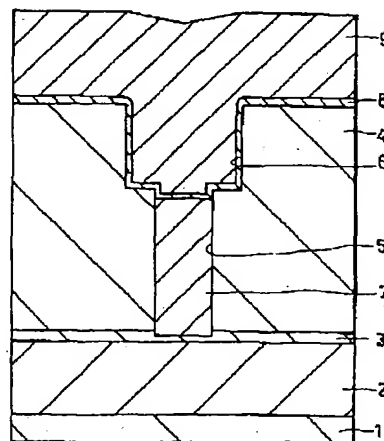
【図 2】



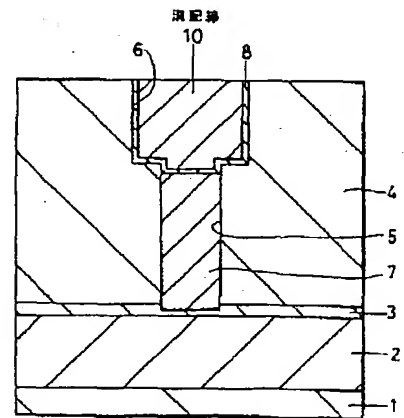
【図 3】



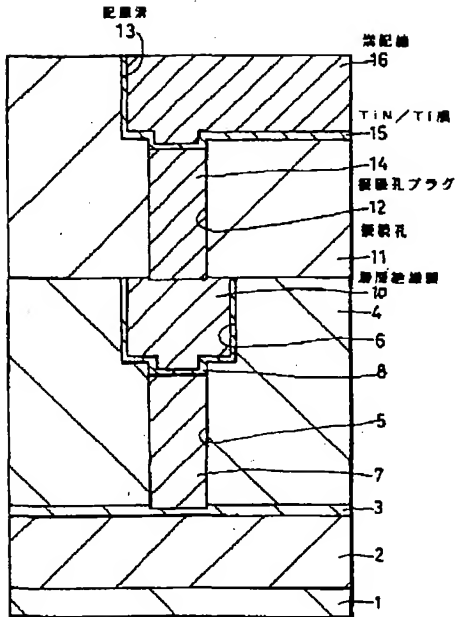
【図 4】



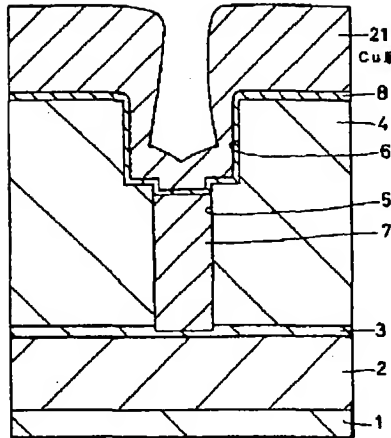
【図 5】



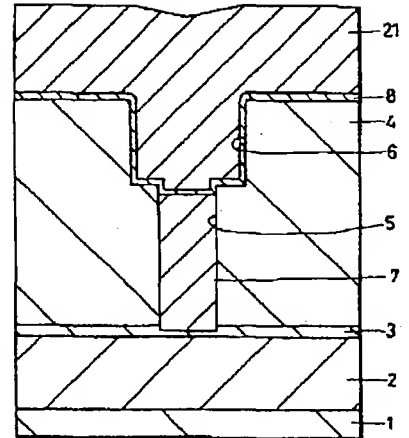
【図 6】



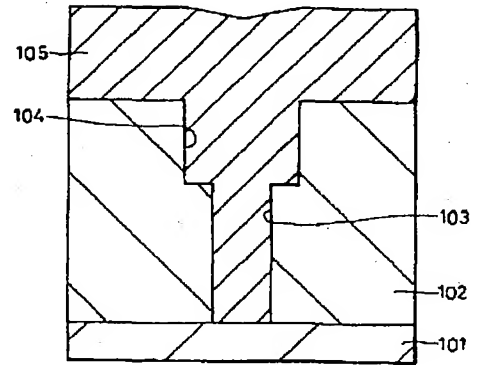
【図 7】



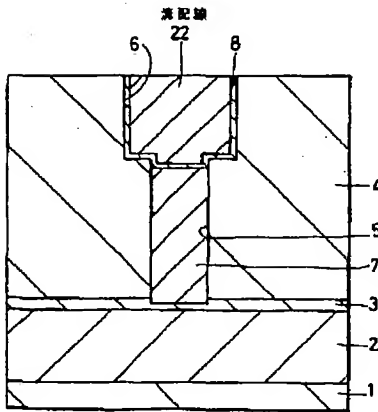
【図 8】



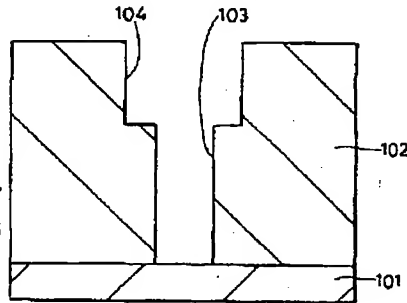
【図 11】



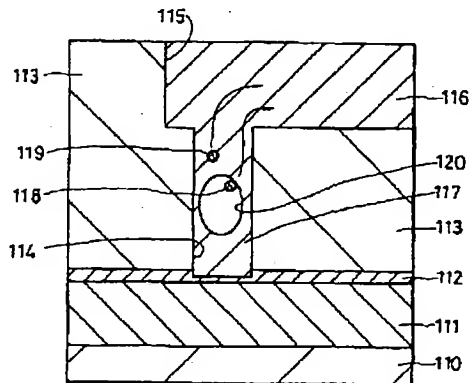
【図 9】



【図 10】



【図 13】



【図 12】

